

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264900

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H01S 3/18
H01L 21/203
H01L 21/28
H01L 21/363
H01L 29/43
H01L 33/00

(21)Application number : 07-066373

(71)Applicant : MURAKAMI MASANORI
KOIDE YASUO
SHARP CORP

(22)Date of filing : 24.03.1995

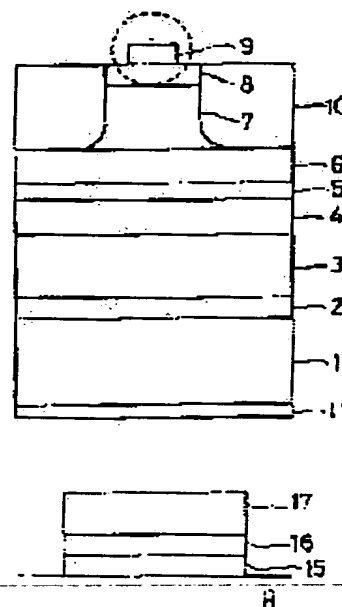
(72)Inventor : MURAKAMI MASANORI
KOIDE YASUO
TERAGUCHI NOBUAKI

(54) II-VI COMPOUND SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a blue light emitting element with a low operating voltage by providing an admixture element layer consisting of Cd or Te and an electrode layer containing an admixture element and a metal for forming eutectic alloy on ZnMgSSe semiconductor layer.

CONSTITUTION: A middle layer 15 consisting of Cd or Te is inserted between upper and lower electrode layers 16 and 18 consisting of metal for forming eutectic alloy at an area to Cd or Te. By performing annealing in the case of the reaction or heat treatment of the formation process of the electrode layers 16 and 18 and the middle layer 15, Cd or Te is diffused into ZnXMg_{1-X}SYSe_{1-Y} (0 ≤ X ≤ 1, 0 ≤ Y ≤ 1) semiconductor layer 7 and a compound between the ZnXMg_{1-X}SYSe_{1-Y} (0 ≤ X ≤ 1, 0 ≤ Y ≤ 1) semiconductor and Cd or Te can be formed, thus obtaining a blue light emitting element with a lower operating voltage than an element using a conventional electrode structure.



LEGAL STATUS

[Date of request for examination] 19.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

3461611

[Date of registration]

15.08.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264900

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 21/203			H 0 1 L 21/203	Z
21/28	3 0 1		21/28	3 0 1 B
				3 0 1 Z
21/363			21/363	
審査請求 未請求 請求項の数18 O L (全 11 頁) 最終頁に続く				

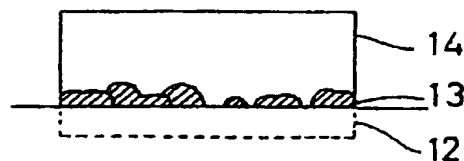
(21)出願番号	特願平7-66373	(71)出願人	595043310 村上 正紀 京都府額喜郡田辺町新長尾谷22-32
(22)出願日	平成7年(1995)3月24日	(71)出願人	595043321 小出 康夫 京都府京都市伏見区深草西伊達町官有地 深草合同宿舍423
		(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
		(72)発明者	村上 正紀 京都府額喜郡田辺町新長尾谷22-32
		(74)代理人	弁理士 野河 信太郎
		最終頁に続く	

(54)【発明の名称】 II-VI族化合物半導体装置及びその製造方法

(57)【要約】

【目的】 接触抵抗の小さい電極の構造に特徴を有し、特にオーミック接触を可能とする電極層を有するII-VI族化合物半導体装置及びその製造方法に関する。

【構成】 II-VI族化合物半導体装置が、半導体基板上に $Z_nX_{1-x}Mg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有し、該半導体層上にCd又はTeからなる添加物元素層と該添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とする。



8

【特許請求の範囲】

【請求項1】 半導体基板上に $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有し、該半導体層上にCd又はTeからなる添加物元素層と該添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とするII-VI族化合物半導体装置。

【請求項2】 半導体基板上に $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有し、該半導体層上に半導体層を構成する元素とCd又はTeからなる添加物元素との化合物からなる中間層を有し、中間層上に添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とするII-VI族化合物半導体装置。

【請求項3】 中間層中の添加物元素の濃度が、半導体層側よりも電極側の方が大きい請求項2のII-VI族化合物半導体装置。

【請求項4】 電極層が、添加物元素と共晶合金を形成する金属と半導体層を構成する元素との金属間化合物を含んでなる請求項2又は3のII-VI族化合物半導体装置。

【請求項5】 中間層の不純物濃度が、半導体層中の不純物濃度とほぼ同じか、又はより大きい請求項2〜4いずれか1つのII-VI族化合物半導体装置。

【請求項6】 中間層と半導体層とのエネルギー障壁が、0.4eV以下である請求項2〜5いずれか1つのII-VI族化合物半導体装置。

【請求項7】 中間層と電極層とのエネルギー障壁が、電極層と半導体層とのエネルギー障壁より小さい請求項2〜6いずれか1つのII-VI族化合物半導体装置。

【請求項8】 電極層上に、更に高融点金属層が形成されてなる請求項1〜7いずれか1つのII-VI族化合物半導体装置。

【請求項9】 共晶合金を形成しうる金属が、In、Bi、Sn、Pb、Zn、Tl及びAgから選択される請求項1〜8いずれか1つのII-VI族化合物半導体装置。

【請求項10】 半導体基板上に $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を形成し、該半導体層上にCd又はTeからなる添加物元素層を形成し、該添加物元素層上に添加物元素との間に共晶合金を形成する電極層を形成することを特徴とするII-VI族化合物半導体装置の製造方法。

【請求項11】 半導体基板上に $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を形成し、該半導体層上にCd又はTeからなる添加物元素との間に共晶合金を形成しうる金属からなる下部電極層、Cd又はTeからなる添加物元素層、Cd又はTeからなる添加物元素との間に共晶合金を形成しうる金属からなる上部電極層を順次形成することを特徴とするII-VI族化合物半導体装置の製造方法。

【請求項12】 添加物元素との間に共晶合金を形成す

る電極層上に、高融点金属を堆積させる請求項10又は11の製造方法。

【請求項13】 $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層表面の酸化物及び炭化物を除去し、この後、該半導体層上に上記下部電極層、添加物元素層、上部電極層を形成する請求項10〜12いずれか1つの製造方法。

【請求項14】 電極層を形成した後、半導体層、添加物元素層及び電極層を熱処理することからなる請求項10〜13いずれか1つの製造方法。

【請求項15】 半導体基板上に $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を形成し、半導体層上にCd又はTeを含む共晶合金層を形成することを特徴とするII-VI族化合物半導体装置の製造方法。

【請求項16】 共晶合金層上に高融点電極を堆積させる請求項15の製造方法。

【請求項17】 $Zn_xMg_{1-x}Si_ySe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層表面の酸化物及び炭化物を除去し、この後、該半導体層上にCd又はTeを含む共晶合金層を形成する請求項15又は16の製造方法。

【請求項18】 共晶合金層を形成した後、上記の半導体層及び共晶合金層を熱処理する請求項15〜17いずれか1つのII-VI族化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、II-VI族化合物半導体装置及びその製造方法に関する。更に詳しくは、接触抵抗の小さい電極構造に特徴を有するII-VI族化合物半導体装置及びその製造方法に関し、特にオーミック接触を可能とする電極層を有するII-VI族化合物半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 これまで、II-VI族化合物半導体装置に用いる電極の構造として種々のものが検討されてきた。例えば、HaaseらはLi、Na、Mg、Ti、Cr、Mn、Ni、Pd、Pt、Cu、Ag、Zn、Hg、Al、In、Sn、Pb、Sb、Bi及びこれらの合金の電極材料としての可能性を調べている（“Short wavelength II-VI laser diodes”, Inst. Phys. Conf. Ser. No. 120 p. 9）。しかしながら、II-VI族化合物半導体に対してオーミック接触の得られる電極材料は見つからない。

【0003】 このようなことから、一般的にAuが電極用の金属として用いられているが、例えばAuはp型ZnSeに対して電位障壁約1.2eVを持つショットキー接合を形成し、オーミック接触が得られていない。そこで、例えばp型ZnSeに対するオーミック接触を得るために、電極とp型ZnSeの間にCdSe層やHgS層である低接触エネルギー障壁中間層をエピタキシャル成長させる方法や、コンタクト層としてp型ZnTe

を用い、p型ZnSeとp型ZnTeとの間にp型ZnSeTe傾斜組成層又はp型ZnSe/ZnTe歪超格子層の中間層を用いる方法が考えられている。大塚らは、Au/p-CdSeのオーミック接触を確認し、Au/p-CdSe/p-ZnSeのオーミック接触の可能性について報告している（“p-CdSeの作製と評価”、大塚他、第54回応物予稿集、p.255）。また、Lansariらは、p型ZnSe上にMBE法により低接触エネルギー障壁中間層としてHgSeを成長し、Auを電極用の金属として用いることで良好なオーミック接触を得ている（“Improved ohmic contact for p-type ZnSe and related p-on-n diode”, Y. Lansari et. al, Appl. Phys. Lett. 61 p.2554）。また、Fanらにより（“Graded bandgap ohc contact to p-ZnSe”, Y. Fan et. al, Appl. Phys. Lett. 61 p.3160）、あるいはHieiらにより（“Ohmic contact to p-type ZnSe using ZnTe/ZnSe multiquantum wells”, F. Hiei et. al, Electronics Lett. 29 p.878）、コンタクト層としてp型ZnTeを用い、p型ZnSeとp型ZnTeとの間にp型ZnSeTe傾斜組成層又はp型ZnSe/ZnTe歪超格子層の中間層を用いる方法で、オーミック接触の実現が報告されている。

【0004】更に、LimらによりLi₃Nを拡散することでオーミック接触が得られている（“Highly conductive p-type ZnSe formation using Li₃N diffusion”, S. W. Lim et al., Extended Abstracts of SSDM, 1994 p.967）

【0005】

【発明が解決しようとする課題】しかしながら、従来のII-VI族化合物半導体に対するオーミック接触を得る方法は、いずれも十分に満足できるものではなく、例えば、上記方法には以下のような問題がある。CdSeを用いる方法では、CdSe自身のアクセプター濃度が $1 \times 10^{17} \text{cm}^{-3}$ と小さいため、接触抵抗の低減が困難となる。HgSeを用いる方法では、素子作製工程において、例えば他の層の形成に用いるMBE装置を共用した場合、Hg原子が他の層中に混入されるため、素子特性が劣化する。これに対し、HgSe成長のための専用MBE装置を設けると生産性が乏しくなる。また、HgSeは化学的・物理的安定性に乏しい。

【0006】ZnTeを用いる方法では、ZnSeと大きく格子定数が違うため膜中に残留する応力による素子特性劣化への影響が考えられ、またZnTeのキャリア濃度の最適化も難しい。なお、格子定数は、上記いずれの中間層でもZnSeと大きく異なっており、同様に歪みの問題が生じ、さらにはエピタキシャル成長されなければならないため、生産性が低くなる。

【0007】また、Li₃Nを拡散する場合、拡散温度が470℃と高いため、素子構造にこの方法を適用した場合、素子特性が劣化することが考えられ、さらにLi原子は極めて拡散しやすいことから、経時的な素子特性の劣化を引き起こす。更に、上記方法で用いられるAu

電極は、密着性等の機械的強度に劣る。そこで、II-VI族化合物半導体の中でも特にp型Zn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）半導体に対してオーミック接触を得ることのできる新たな電極構造を創り出すべく検討を行った。

【0008】さて、図8は、金属とp型ZnSeとの間の電位障壁 ϕ_B をパラメータとして、p型ZnSeと金属によるショットキー接合の接触抵抗のイオン化不純物濃度依存性を示す図である。図7は、金属とp型ZnSeとの接触界面でのショットキー障壁の厚さWを説明するためのバンドモデル図である。なお、 ϕ_B は式 $\phi_B x_B + E_g - \phi_M$ から導き出すことができる。式中 x_B は半導体の電子親和力、 E_g は半導体のバンドギャップ、 ϕ_M は金属の仕事関数をそれぞれ示しており、これらの関係を図10に示す。図8は、熱放出トンネル電流を考慮したYuのモデル（“Electron Tunneling and Contact Resistance of Metal-Si Contact Barrier”, A. Y. C. Yu, Solid State Electronics Vol. 13, p.239 (1970)）を用いて計算によって求めたものであるが、この結果から、イオン化不純物濃度が大きくなるにつれて接触抵抗が小さくなることが分かる。これは、図8に示すショットキー障壁の厚さWがイオン化不純物濃度の増加に伴い小さくなり、その結果トンネル電流が急激に増加することによる。

【0009】このようなことは、金属/p型Zn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）界面、金属/中間層界面あるいは中間層/p型Zn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）界面に関しても共通にいえることであり、例えば、図8と同じ図を作成すると、同一の電位障壁パラメータに対して接触抵抗が一桁程度異なるだけであり、その傾向は同じになる。

【0010】すなわち、p型Zn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）半導体層表面でのイオン化不純物濃度を大きくしこの上に金属電極が形成された構造を用いれば、オーミック接触が得られる。しかしながら、p型のZn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）半導体膜はMBE法でしか形成できず、イオン化不純物濃度も 10^{17}cm^{-3} 台を得るのが精々であるというのが現状であり、オーミック接触が得られる程イオン化不純物濃度の大きい膜は形成できなかった。

【0011】更に、特開平5-259509号公報では、中間層がZnCdSe及びZnHgSeに限定されており、かつ中間層の製造方法がMBE法により堆積しているので生産性に乏しかった。以上に鑑み、本発明は、イオン化不純物濃度の大きいp型Zn_xMg_{1-x}SrSe_{1-y}（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）半導体層を直接形成せずに接触抵抗の小さい電極がえられるII-VI族化合物半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】かくして本発明によれば、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有し、該半導体層上にCd又はTeからなる添加物元素層と該添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とするII-VI族化合物半導体装置が提供される。

【0013】また、本発明によれば、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有し、該半導体層上に半導体層を構成する元素とCd又はTeからなる添加物元素との化合物からなる中間層を有し、中間層上に添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とするII-VI族化合物半導体装置が提供される。

【0014】本発明に使用できる半導体基板は、特に限定されないが、例えばGaAs等が挙げられる。また、使用する半導体基板の導電型は、特に限定されず、n型でもp型でもよい。本発明の半導体装置は、例えば発光ダイオード、図5に示すような半導体レーザ等の装置として使用することができる。これら装置は、基板上に半導体層が積層されて構成される装置であって、その半導体層としてp型 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) 半導体層を有している。半導体層の最上層には電極層が形成されており、この電極層が、

①Cd又はTeからなる構成元素とこの構成元素と共晶合金を形成しうる金属を含んでなる構造、
②半導体層を構成する元素とCd又はTeからなる添加物元素との化合物からなる中間層上に、添加物元素との間に共晶合金を形成しうる金属を含んでなる電極層からなる積層構造
となっているものである。

【0015】半導体層は、1層又は複数層の積層体であってもよい。例えば、半導体レーザにおいては、ZnSSeからなるバッファ層、ZnMgSSeからなるクラッド層、ZnSSeからなる光導波路層、ZnCdSeからなる活性層、ZnSSeからなる光導波路層、ZnMgSSeからなるクラッド層、ZnSeからなるコンタクト層を有する積層体が、本発明の限定されない半導体層の具体例として挙げられる。また、使用する半導体層の導電型は、特に限定されず、n型でもp型でもよい。

【0016】半導体層としては、例えばZnS ($X=1$, $Y=1$)、MgS ($X=0$, $Y=1$)、ZnSe ($X=1$, $Y=0$)、MgSe ($X=0$, $Y=0$)、ZnSrSe $_{1-y}$ ($X=1$, $0 < Y < 1$)、MgSrSe $_{1-y}$ ($X=0$, $0 < Y < 1$)、 $Zn_xMg_{1-x}S$ ($0 < X < 1$, $Y=1$)、 $Zn_xMg_{1-x}Se$ ($0 < X < 1$, $Y=0$)、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 < X < 1$, $0 < Y < 1$) が挙げられる。これらの半導体層のうち好ましいのは、コンタクト層として最もよく用いられるZnSe、GaAsと格子整合したZnS $_{0.07}Se_{0.93}$ 及びGaAs

sと格子整合し、かつバンドギャップエネルギーが3.0eV以下で実効アクセプタ濃度 N_a-N_d が $10^{17}cm^{-3}$ 以上のZnMgSSe等である。その膜厚は、特に限定されるものではなく、半導体装置の用途などにより適宜調整することができる。

【0017】本発明の中間層は、例えば、上記半導体層を構成する元素とCdとの化合物からなる場合、半導体層を構成する元素とTeとの化合物からなる場合、上記2種類の化合物からなる場合、さらには3元、4元といった3元系以上の化合物からなる場合等がある。具体的には、ZnSCd、MgSeCd、ZnSSeCd、MgSSeCd、ZnMgSCd、ZnMgSeCd、ZnMgSSeCd、ZnSTe、MgSeTe、ZnSSeTe、MgSSeTe、ZnMgSTe、ZnMgSeTe、ZnMgSSeTe、等が挙げられる。

【0018】上記中間層中の添加物元素の濃度は、均一でも分布を有していてもよい。好ましい濃度は、半導体層側よりも電極層側の方が大きくなっている場合である。更に、電極層側から連続的に減少し、半導体層側でゼロとなっているのがより好ましい。また、接触抵抗を低減するために上記中間層は、p型不純物（例えば、N、Li等）を添加し、その濃度が半導体層中のp型不純物濃度と同程度かより大きくなっているのが好ましい。この濃度は、p型不純物の種類によっても異なるが、 $1 \times 10^{18}cm^{-3}$ 以上である。更に、中間層のp型不純物濃度が大きくなるほど、図8に示すように接触抵抗が小さくなり好ましい。また、中間層と半導体層とのエネルギー障壁は、0.6eVよりも小さい方がよく、さらには、図8に示すように接触抵抗が著しく減少する0.4eV以下となっている方が好ましい。この場合、例えば、Au/p-ZnSeの場合は、図9で $\phi_B = 1.2eV$ の曲線に対応し、これとくらべると接触抵抗が、 10^{-14} 倍程度に低減することができる。

【0019】本発明に使用できる電極層は、中間層に含まれる添加物元素と、添加物元素との間に共晶合金を形成する金属を含んでもよい。また、半導体層を構成する元素が電極層中に含まれており、これらの元素と添加物元素との間に共晶合金を形成する金属との金属間化合物を含んでもよい。例えば、Cdと共晶合金を形成する金属としては、In、Bi、Sn、Pb、Zn、Tl等が挙げられる。一方、Teと共晶合金を形成する金属としては、Agが挙げられる。

【0020】従って、電極層に含まれる共晶合金の具体例としては、InCd、BiCd、SnCd、PbCd、ZnCd、TlCd、InZnTe、InSe、BiSe、SnSe、PbSe、ZnSe、InZn、BiZn、SnZn、PbZn、AgTe、ZnAg等が挙げられる。また、これらを組み合わせた多元系金属間化合物も含まれる。

【0021】ここで、共晶合金の共晶点は、半導体装置

の特性を劣化させない温度以下であることが好ましい。即ち、半導体層の成長温度以下であることが好ましく、例えば半導体層をMOCVD法で成長させる場合は450℃程度以下、MBE法で成長させる場合は300℃程度以下であることが特に好ましい。このような条件を満たす特に好ましい共晶合金には、InCd (Cd組成26重量%、共晶点122℃)、BiCd (Cd組成40重量%、共晶点144℃)、SnCd (Cd組成32重量%、共晶点177℃)、PbCd (Cd組成28重量%、共晶点248℃)、ZnCd (Cd組成73重量%、共晶点266℃)、TlCd (Cd組成17重量%、共晶点204℃)、AgTe (Te組成70重量%、共晶点353℃)が挙げられる。

【0022】また、中間層と電極層とのエネルギー障壁は、電極層と半導体層とのエネルギー障壁より小さくなっているのが好ましく、さらには、0.4eV以下となっているのが好ましい。エネルギー障壁が、0.6eV程度に低減された場合でもAu/p-ZnSeの場合と比べると接触抵抗が、 10^{-10} 倍程度に低減されるのであるが、0.4eV以下になると、接触抵抗が、 10^{-14} 倍以下に低減されるので特に好ましい。

【0023】次に、本発明によれば、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を形成し、該半導体層上にCd又はTeからなる添加物元素層を形成し、該添加物元素層上に添加物元素との間に共晶合金を形成する電極層を形成することを特徴とするII-VI族化合物半導体装置の製造方法が提供される。

【0024】また、本発明によれば、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を形成し、該半導体層上にCd又はTeからなる添加物元素との間に共晶合金を形成しうる金属からなる下部電極層、Cd又はTeからなる添加物元素層、Cd又はTeからなる添加物元素との間に共晶合金を形成しうる金属からなる上部電極層を順次形成することを特徴とするII-VI族化合物半導体装置の製造方法が提供される。

【0025】更に、本発明によれば、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を形成し、半導体層上にCd又はTeを含む共晶合金層を形成することを特徴とするII-VI族化合物半導体装置の製造方法が提供される。本発明の半導体層は、所望する添加物元素を用いて公知の方法により1ないし複数回積層して形成される。この公知の方法としては、例えばMBE法等が挙げられる。この半導体層は、径時的に表面に自然酸化膜及び自然炭化膜が形成されるので、中間層及び電極層を形成する前に除去することが望ましい。

【0026】更に、電極層及び下部及び上部電極層は、所望する添加物元素を用い公知の手段を利用して積層す

ることができる。公知の手段としては、電子ビーム蒸着法、スパッタ法等が挙げられる。上記した手段により中間層及び電極層を積層した場合、半導体層と電極層、電極層と中間層の界面には両層を構成する元素同士の共晶合金層が形成される。積層後に熱処理すると、元素同士の共晶合金層が形成される領域が広がるのでより好ましい。熱処理の温度は、使用される元素の種類によっても相違するが、100~300℃が好ましい。更に、熱処理の方法としては、電気炉アニール法、RTA (Rapid Thermal Anneal) 法等が挙げられる。

【0027】また、上記いずれの場合も、電極層又は下部電極層を形成する前に半導体層表面の酸化物及び炭化物を除去することが好ましい。

【0028】

【作用】本発明によれば、まず中間層が設けられることで、図9に示すように $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層と電極層の間の電位障壁は、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層と中間層、中間層と電極層との間の二ヶ所に分割される(図9(b))。そして、界面の接触抵抗は、図8から分かるように電位障壁の減少に応じてスーパーリニアに減少するため、電位障壁が二分されることで、全体の接触抵抗は著しく減少し、オーミック性接触も得やすくなる。なお、図9(a)は中間層を設けない場合のバンド図を示している。

【0029】これは、接合前の各層の状態を概念的に示す図9(d)のように、本発明にかかる中間層の価電子帯の頂上が、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層のそれよりも上に位置し、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層の価電子帯の頂上と、電極層のフェルミ準位との間に位置するからである。

【0030】より詳しくは、本発明にかかる半導体層、中間層、電極層は、

$$\phi_{II} < \chi_I + E_{gI} - E_{aI} < \chi_{II} + E_{gII} - E_{aII}$$
 の関係を満たすようになっているからである(式中、 ϕ_{II} は電極層の電位障壁、 χ_I は中間層の電子親和力、 E_{gI} は中間層のバンドギャップ、 E_{aI} は中間層の不純物準位、 χ_{II} は半導体層の電子親和力、 E_{gII} は半導体層のバンドギャップ、 E_{aII} は半導体層の不純物準位を示す。)

【0031】更に、上記とも関係することであるが、化合物ごとに格子定数とバンドギャップエネルギーとの関係を示す図6から理解されるように、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を構成する元素とCd又はTeとの化合物からなる中間層は、いずれも $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層よりもバンドギャップの小さい $Zn_aMg_bCd_{1-a-b}Se_{1-c}$ ($0 \leq a, b, c \leq 1$, $a+b \leq 1$) 半導体層、 $Zn_dMg_{1-d}Se_{1-e}Te_{1-e-f}$ ($0 \leq$

d, e, f ≤ 1, e + f ≤ 1) 半導体層となる。

【0032】バンドギャップが小さい半導体は大きいものに比べて、不純物準位 E_a が小さくなるため、中間層中の不純物準位は $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層のそれよりも小さくなる。すなわち、中間層は半導体層に比べて不純物の活性化が起こりやすくなり、中間層中のイオン化不純物濃度は容易に増大させることができ、図8に示すように中間層と電極層との接触抵抗は非常に小さいものとなる。

【0033】更に、中間層のバンドギャップが半導体層よりも小さくなるため電位障壁も小さくなり、更に電極層と中間層との接触抵抗が低減される。添加物元素としてCdを用いると、アニオン共通則により中間層と $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層との価電子帯のバンド不連続すなわち電位障壁がほぼゼロとなるので、図8からわかるように中間層と半導体層の接触抵抗が $10^{-6} \Omega \text{cm}^2$ 以下となり、接触抵抗が低減され、オーミック接触を得る上でも好ましい。

【0034】添加物元素としてTeを用いると、中間層の価電子帯の頂上が $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層のそれに対して上昇するため、電極層と中間層の電位障壁がより小さくなり、電極層と中間層の接触抵抗を減らす上で有利である。上記各添加物元素の効果は、元素が互いに混合されても減少しない。

【0035】また、中間層の方が半導体層に比べてイオン化不純物濃度を大きくできるので、電極層と中間層との間で電位障壁を持たせたほうが有利であり、このことから添加物元素の濃度は、電極側で大きいほうがよい。同様の理由で、中間層と電極層とのエネルギー障壁は、電極層と半導体層とのエネルギー障壁より小さいのがよく、接触抵抗を効率的に下げることができる。

【0036】更に、中間層中の添加物元素の濃度が電極層側で高濃度となるように勾配を持たせると、中間層の両界面の濃度差に相当する電位障壁が中間層中に吸収されるとともに、中間層から半導体層への急激な組成変化がないために、中間層/半導体層界面での電位障壁を小さく押さえることができる。更に、この勾配を連続的なものとし、中間層の添加物元素の濃度が電極層側から連続的に減少し、半導体層側でゼロにすることにより、中間層と $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層の間の電位障壁がゼロとなり、添加物元素の濃度が中間層内で均一となっている場合よりも、更に容易にオーミック接触が得られる。

【0037】逆に電極層側が低くなった濃度勾配を持つ場合は、二分された電位障壁がそれぞれ濃度の均一な場合に比して増大し、低い接触抵抗を得るうえで好ましくない。また、高濃度に添加物元素が添加された場合、半導体層との諸物性（格子定数、熱膨張係数）の差に基づく格子歪、さらには結晶欠陥が生じ、電極特性の劣化を

招く。しかしこの劣化は、中間層の添加物元素の濃度が電極層側と半導体層とで異ならせ、電極層側の方を大きくすることでこの影響を緩和することもできる。

【0038】電極層を、Cd又はTeとの間に共晶合金を形成する金属を含んでなるようにすると、電極層と中間層で共通の元素を含むので、例えば $In-Cd-Se$ といった結合が電極層と中間層の界面で形成される。そのため、電極層と中間層の間に酸化物層などの電流を遮断する絶縁層が形成されないで、オーミック接触を得るうえで好ましい。

【0039】更に、電極層と中間層で共通の元素を含むことで、例えば $In-Cd-Se$ あるいは $In-Zn-Se$ といった結合が電極層と中間層の界面で形成され、密着性等の機械的強度に優れる。また、共晶合金を形成しうる金属が、In、Bi、Sn、Pb、Zn、Tl及びAgから選択されることにより、更に良好なオーミック特性が得られる。

【0040】本発明の半導体装置の製造方法によれば、電極層と半導体層の間に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) とCd又はTeとの化合物からなる中間層が形成され、更に、電極層と中間層、中間層と半導体層に共通の元素を含むことで、密着性等の機械的強度に優れた電極構造が作製される。更に、Cd又はTeとの間に共晶合金を形成する金属からなる上部・下部電極層の間に、Cd又はTeからなる中間層を挿入すると、これらの電極層、中間層の形成過程の反応また熱処理した場合にはこのアニールにより、Cd又はTeが $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層中に拡散し、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体とCd又はTeとの化合物が形成される。

【0041】また、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層上にCd又はTeを含んでなる共晶合金を形成すると、堆積時の反応また、熱処理した場合にはこのアニールによって前記共晶合金に含まれるCd又はTeが $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層中に拡散し、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) との混晶が形成される。この際も、共晶合金の共晶点が低ければ低いほど、より低いアニール温度で $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層とCd又はTeとの混晶が形成される。

【0042】 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 半導体層表面の清浄化を工程中に入れると、良好なオーミック特性を再現性よく得ることができる。例えば、飽和臭素水系エッチング液によるケミカルエッチングを行うと、 $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq X \leq 1, 0 \leq Y \leq 1$) 表面に形成される自然酸化膜・炭化膜が除去されるので清浄な表面が形成され、本発明の特徴である電極の構造を安定に形成することが可能となる。

なお、電極構造作製プロセスが、半導体層成長直後、一貫して (in-situ) 行うことができるなら、清浄化のプロセスを省略することもできる。

【0043】

【実施例】

実施例1

図1に、本発明のオーミック接触構造を用いたII-VI族化合物半導体装置 (半導体レーザー) を示す。半導体レーザーの構造は、n型GaAs基板1上に、n型ZnS_{0.07}Se_{0.93}バッファ層2 (膜厚0.1μm、Nd-Na=1×10¹⁸cm⁻³)、n型Zn_{0.91}Mg_{0.09}S_{0.12}Se_{0.88}クラッド層3 (膜厚1.0μm、Nd-Na=5×10¹⁷cm⁻³)、n型nS_{0.07}Se_{0.93}光導波路層4 (膜厚0.1μm、Nd-Na=5×10¹⁷cm⁻³)、Zn_{0.8}Cd_{0.2}Se活性層5 (膜厚75Å)、p型ZnS_{0.07}Se_{0.93}光導波路層6 (膜厚0.1μm、Na-Nd=5×10¹⁷cm⁻³)、p型Zn_{0.91}Mg_{0.09}S_{0.12}Se_{0.88}クラッド層7 (膜厚1.5μm、Na-Nd=5×10¹⁷cm⁻³)、p型ZnSeコンタクト層8 (膜厚0.1μm、Na-Nd=2×10¹⁸cm⁻³)、p型コンタクト層側電極9、n型半導体基板側電極11及びポリイミド埋め込み層10からなっている。上記バッファ層2からコンタクト層8までは、MBE法で形成した。

【0044】図2にp型側電極9の拡大図を示す。p型ZnSeコンタクト層8内にZnCdSe層12が形成され、この上にCdBi (60重量%) 及びWからなる電極層14が形成されたものとなっている。上記電極9は、p型ZnSeコンタクト層8上に室温で抵抗加熱蒸着によってCd層15を21nm、更にBi層16を29nm堆積した。さらに基板温度を室温に保ち、電子ビーム蒸着によってW層17を20nm堆積した (図3参照)。この後電気炉による250℃で5分の熱処理によって形成した。Cd層及びBi層の形成は、共晶組成 (60重量%) となるように両者を正確に秤量し、別々のWポートを用いて順次真空蒸着することにより行った。なお、同一のWポートを使用して、同時に真空蒸着しても特性は変わらなかった。この理由は、Cd及びBiを同時に蒸着する場合、蒸気圧の関係からCd層及びBi層が順次形成されるためである。電子ビーム蒸着及び抵抗加熱蒸着は、到達真空度3~5×10⁻⁷Torr以下、蒸着中真空度5×10⁻⁶Torr以下で行われ、各層の膜厚は、1516に対して、50nm、20nmとした。

【0045】なお、本実施例では、共晶合金を形成する金属としてBi、添加物元素としてCdを使用したのが、これらの材料に限定されず、Cd又はTeと共晶合金を形成する金属あるいは金属間化合物であればよい。また、金属及び金属間化合物の堆積法には、蒸着法以外にもスパッタ法等を使用することができる。熱処理工程としては、本実施例で用いた電気炉アニール以外にRTA (Rapid Thermal Anneal) 法が挙げられる。また、熱処理温度の下限は、共晶点より高いことが好ましく、上限は半

導体装置の特性に影響を与えない温度以下にすることが好ましい。MOCVD法で各層を成長させた場合は450℃以下、MBE法で成長させた場合は300℃以下にすることが特に好ましい。下限以下の温度では中間層の形成が十分ではなく、上限以上の温度では半導体装置の特性が劣化するので好ましくない。

【0046】なお、上記電極金属の堆積に先立ち、p型ZnSeコンタクト層の表面をアセトン5分、エタノール2分の超音波洗浄で洗浄した。その後エッチャントとして飽和臭素水 (SBW) : 臭化水素酸 (HBr) : 水 (H₂O) = 1 : 10 : 90を用い、室温で3分エッチングを行った。このエッチングによりp型ZnSeコンタクト層の表面の酸化物・炭化物などを除去した。

【0047】図1のレーザー構造 (ストライプ幅5μm) からへき開によって共振器長1mmのレーザー素子を作製し、銅のヒートシンク上にGaAs基板を下にしてレーザー素子を設置し、室温で、CW駆動による素子の電流-光出力特性、電流-電圧特性を測定した。レーザー素子の共振器端は、コーティングを施していない、へき開されたまま (as-cleaved) の状態である。

【0048】図4にレーザー素子の電流-光出力特性、電流-電圧特性を示す。図に示すように、素子の発振しきい値電流20mA、発振しきい値電圧3.5Vが達成された。これに対し、p型側電極9をAu電極で形成した場合は、10V以上となり、p型側電極9をFanらの電極の構造 ("Continuous-wave, room temperature, ridge-waveguide green-blue diode laser", A. Salokatve et. al, Electronics Lett. Vol. 29 P. 2192) Au/ZnTe/ZnSe-ZnTe電極で形成した場合は、4.4Vとなった。

実施例2

コンタクト層をp型ZnS_{0.07}Se_{0.93} (膜厚0.1μm、Na-Nd=1×10¹⁸cm⁻³) とした以外は、実施例1と同様にして半導体層を形成した。

【0049】次に、実施例1と同様にして表面処理を行い、室温で抵抗加熱蒸着によりIn層を20nm、Cd層を20nm堆積した。更に、基板温度をそのままにして、電子ビーム蒸着によりW層を20nm堆積し、この後電気炉による250℃で5分間熱処理することにより半導体レーザーを形成した。Cd層及びIn層の形成は、共晶組成 (Cd組成26重量%) となるように両者を正確に秤量し、別々のWポートを使用して、順次真空蒸着することにより積層した。

実施例3

コンタクト層にp型Zn_{0.91}Mg_{0.09}S_{0.12}Se_{0.88}クラッド層を使用した以外は、実施例1と同様にして半導体層を形成した。

【0050】次に、実施例1と同様にして表面処理を行い、室温で抵抗加熱蒸着によりTeとAgを同時蒸着した。更に、基板温度をそのままにして、電子ビーム蒸着

によりW層を20nm堆積し、その後電気炉による250℃で5分間熱処理することにより半導体レーザーを形成した。Te層及びAg層の形成は、共晶組成（Te組成70重量%）となるように両者を正確に秤量し、別々のWボートを使用して、順次真空蒸着することにより積層した。

【0051】また、室温で抵抗加熱蒸着によりAg層を11nm、Te層を55nm積層し、更に基板温度はそのまま電子ビーム蒸着によりW層を20nm堆積した場合、及び、室温で抵抗加熱蒸着によりTe層を55nm、Ag層を11nm積層し、更に基板温度はそのまま電子ビーム蒸着によりW層を20nm堆積した場合についても検討を行った。その結果実施例1と同様の特性を有する半導体装置が得られた。

【0052】

【発明の効果】本発明のII-VI族化合物半導体装置は、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を有し、該半導体層上にCd又はTeからなる添加物元素層と該添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とするので、従来の電極構造を用いた素子よりも低い動作電圧を有する青色発光素子の実現が可能となる。

【0053】また、上記青色発光素子は、半導体基板上に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 半導体層を有し、該半導体層上に半導体層を構成する元素とCd又はTeからなる添加物元素との化合物からなる中間層を有し、中間層上に添加物元素と共晶合金を形成しうる金属とを含んでなる電極層を有することを特徴とする本発明のII-VI族化合物半導体装置でも実現することができる。

【0054】更に、本発明の半導体装置の製造方法によれば、電極層と半導体層の間に $Zn_xMg_{1-x}SrSe_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) とCd又はTeとの化合物からなる中間層が形成され、更に、電極層と中間層、中間層と半導体層に共通の元素を含むことで、密着性等の機械的強度に優れた電極構造を作製することができる。

【図面の簡単な説明】

【図1】本発明における実施例のII-VI族化合物半導体装置の概略断面図である。

【図2】図1のp型電極部分の概略拡大図である。

【図3】図2の電極構造作製のための堆積シーケンス図である。

【図4】レーザ素子の電流-光出力特性、電流-電圧特性を示すグラフである。

【図5】II-VI族化合物半導体装置の一例を示す概略図である。

【図6】各種II-VI族化合物半導体の格子定数とバンドギャップの関係図である。

10 【図7】従来の金属とp型ZnSeとの接触界面でのショットキー障壁の厚さを説明するバンドモデル図である。

【図8】熱放出トンネル電流を考慮した理論計算によって求めた、p型ZnSeと金属によるショットキー接合の接触抵抗のイオン化不純物濃度依存性を示すグラフである。

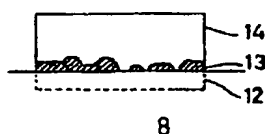
【図9】中間層が形成された本発明の半導体装置のバンド図である。

20 【図10】 $\phi_B = \chi_s + E_g - \phi_M$ の関係を示すバンド図である。

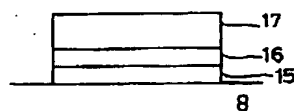
【符号の説明】

- 1 n型GaAs基板
- 2 n型ZnS_{0.07}Se_{0.93}バッファ層
- 3 n型Zn_{0.91}Mg_{0.09}S_{0.12}Se_{0.88}クラッド層
- 4 n型ZnS_{0.07}Se_{0.93}光導波路層
- 5 Zn_{0.8}Cd_{0.2}Se活性層
- 6 p型ZnS_{0.07}Se_{0.93}光導波路層
- 7 p型Zn_{0.91}Mg_{0.09}S_{0.12}Se_{0.88}クラッド層
- 8 p型ZnSeコンタクト層
- 30 9 p型コンタクト層側電極
- 10 ポリイミド埋め込み層
- 11 n型半導体基板側電極
- 12 ZnCdSe層
- 13 共晶合金CdBi、BiSeあるいはZnBi
- 14 Cd、Bi、Wを含む電極層
- 15 Cd層
- 16 Bi層
- 17 W層

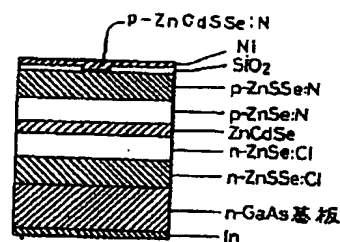
【図2】



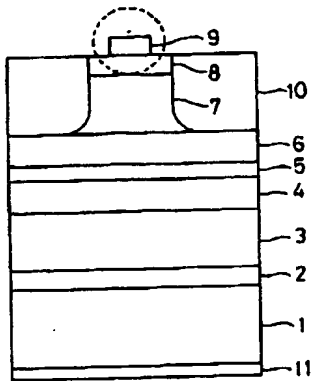
【図3】



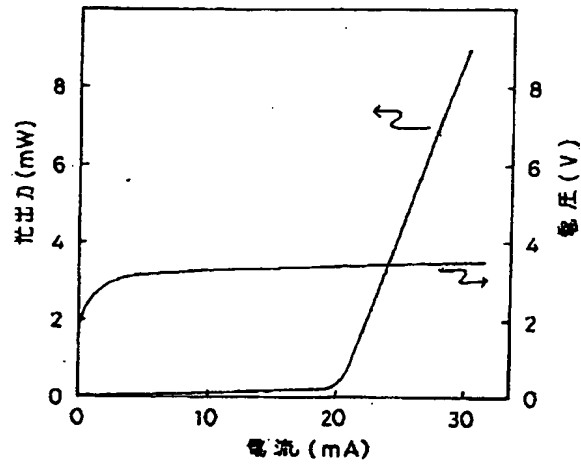
【図5】



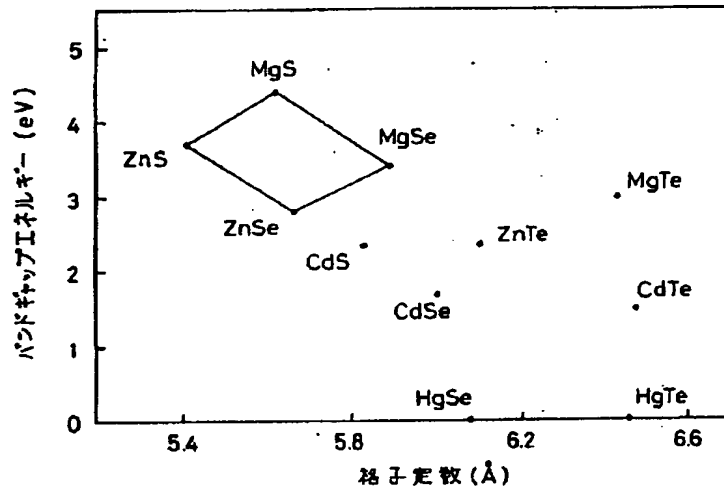
【図 1】



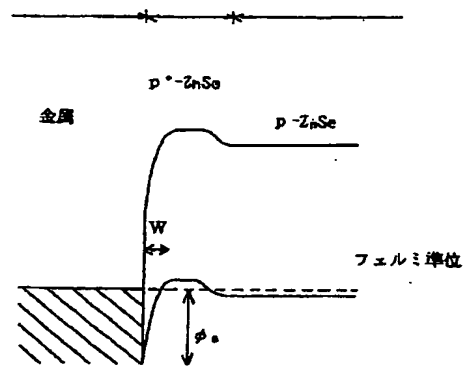
【図 4】



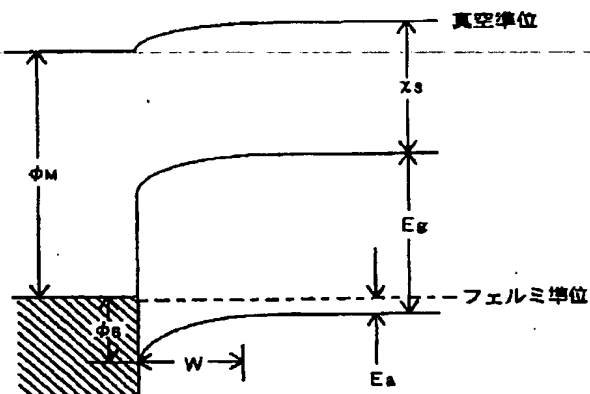
【図 6】



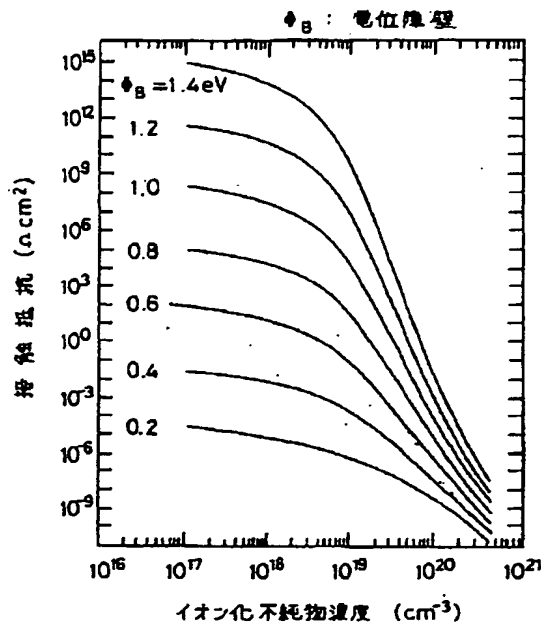
【図 7】



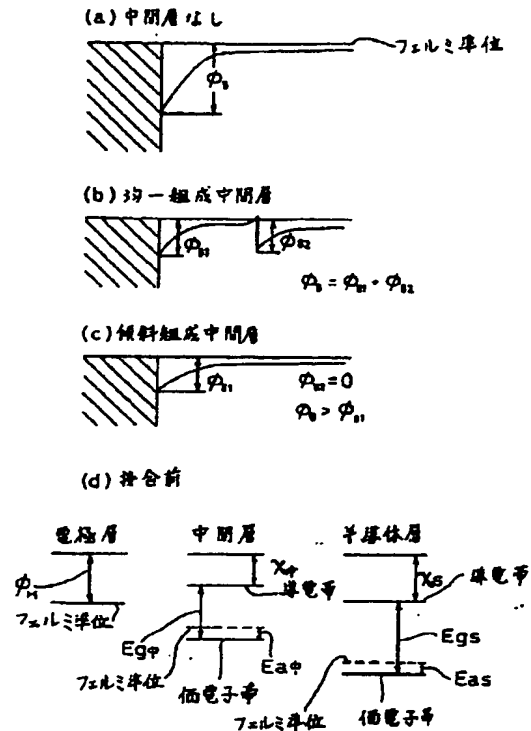
【図 10】



【図8】



【図9】



【手続補正書】

【提出日】平成7年4月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】さて、図8は、金属とp型ZnSeとの間の電位障壁 ϕ_B をパラメータとして、p型ZnSeと金属によるショットキー接合の接触抵抗のイオン化不純物濃度依存性を示す図である。図7は、金属とp型ZnSeとの接触界面でのショットキー障壁の厚さ W を説明するためのバンドモデル図である。なお、 ϕ_B は式 $\phi_B = \chi_s + E_g - \phi_M$ から導き出すことができる。式中 χ_s は半導体の電子親和力、 E_g は半導体のバンドギャップ、 ϕ_M は金属の仕事関数をそれぞれ示しており、これらの関係を図10に示す。図8は、熱放出トンネル電流を考慮したYuのモデル(“Electron Tunneling and Contact Resistance of Metal-Si Contact Barrier”, A.Y.C.Yu, Solid State Electronics Vol. 13, p239(1970))を用いて計算によって求めたものであるが、この結果から、イオン化不純物濃度が大きくなるにつれて接触抵抗が小さくなる事が分かる。これは、図8に示すショットキー

障壁の厚さ W がイオン化不純物濃度の増加に伴い小さくなり、その結果トンネル電流が急激に増加することによる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】上記中間層中の添加物元素の濃度は、均一でも分布を有していてもよい。好ましい濃度は、半導体層側よりも電極層側の方が大きくなっている場合である。更に、電極層側から連続的に減少し、半導体層側でゼロとなっているのがより好ましい。また、接触抵抗を低減するために上記中間層は、p型不純物(例えば、N, Li等)を添加し、その濃度が半導体層中のp型不純物濃度と同程度かより大きくなっているのが好ましい。この濃度は、p型不純物の種類によっても異なるが、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。更に、中間層のp型不純物濃度が大きくなるほど、図8に示すように接触抵抗が小さくなり好ましい。また、中間層と半導体層とのエネルギー障壁は、0.6eVよりも小さい方がよく、さらには、図8に示すように接触抵抗が著しく減少する0.4eV

以下となっている方が好ましい。この場合、例えば、 $Au/p-ZnSe$ の場合は、図8で $\phi_B = 1.2eV$ の曲線

に対応し、これとくらべると接触抵抗が、 10^{-14} 倍程度に低減することができる。

フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/43			H 0 1 L 33/00	D
33/00			29/46	B
				Z

(72) 発明者 小出 康夫
京都府京都市伏見区深草西伊達町官有地
深草合同宿舍423

(72) 発明者 寺口 信明
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

BEST AVAILABLE COPY